



MY9868B

内建双锁存显示技术的 16通道高精度恒流LED驱动器

产品说明

MY9868B是内建双锁存显示专利技术的16通道高精度恒流LED驱动芯片，可以有效提高传统通用驱动显示屏的刷新率及LED利用率；且内建鬼影消除功能，提升扫描屏的影像表现。

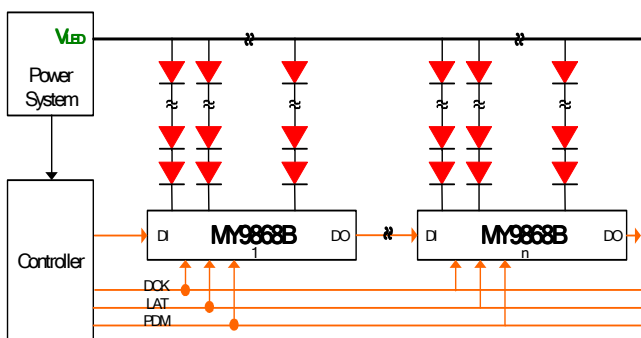
MY9868B可在3.3到5.0伏特(±10%)的工作电压下正常操作。芯片提供16个最大承受电压15伏特的漏极开路恒流沉入输出，并可藉由一个外接电阻来设定电流的输出大小。MY9868B使用4线的串行输入接口，使控制器能藉由四个输入(DI、DCK、LAT和PDM)控制恒流输出端口以及利用资料输出(DO)使得多个驱动器能够串连在一起操作。输入端采用Schmitt trigger设计可以有效抑制讯号噪音干扰。内建电源开启重置可避免芯片错误动作。

MY9868B提供了±3.0%(最大值)的通道间与±3.0%(最大值)芯片间电流输出精度。特性还包括了在输出电压变化下的±0.1%的稳定电流输出能力以及快速电流输出暂态响应。MY9868B提供24脚位的SSOP/QFN封装型式以适用于不同应用需求且可以在-40°C到+85°C的外在环境下工作。

应用

- 室内及户外LED显示板
- 可变资讯看板 (VMS)
- LED点矩阵模块
- 建筑及装饰照明
- 工业照明
- LCD显示背光

典型应用图



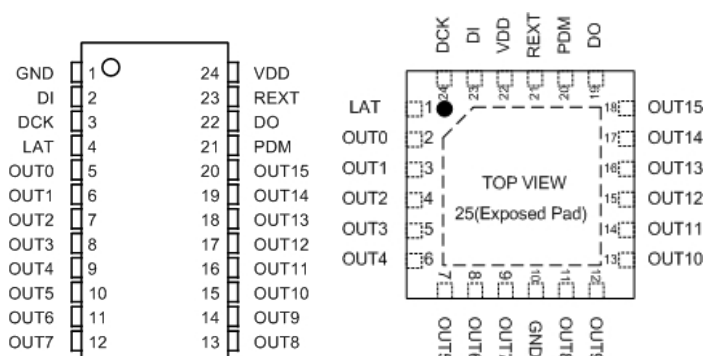
产品特点

- ◆ 3.3~5.0伏特电源电压(±10%)
- ◆ 2~30毫安恒流输出(在5伏特操作电压)
- ◆ 2~20毫安恒流输出(在3.3伏特操作电压)
- ◆ 可承受的最大输出电压15伏特
- ◆ ±3.0% (最大值) 通道间直流电流差异值
- ◆ ±3.0% (最大值) 芯片间直流电流差异值
- ◆ 双锁存显示技术 (明阳专利)
- ◆ 比通用基本款芯片有更高的刷新率、LED利用率、灰阶表现、亮度均一性
- ◆ 比传统PWM芯片有更高的刷新率与亮度均一性 (扫描屏应用下)
- ◆ 利用一个外接电阻来设定电流
- ◆ 鬼影消除功能(建议搭配系统消影电路)
- ◆ -40°C 到 +85°C 的环境温度操作范围

下单资讯

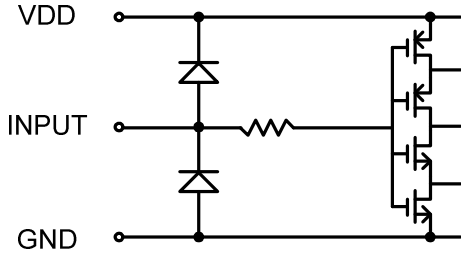
编号	封装资讯	
MY9868BSS	SSOP24-150mil-0.635mm	2500 pcs/Reel
MY9868BQF	QFN24-4mmx4mm-0.5mm	3000 pcs/Reel

脚位图

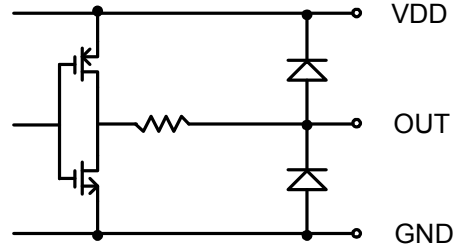


输入及输出等效电路

1. DCK, DI, LAT, PDM 输入端



2. DO 输出端



最大限定范围 ($T_a=25^{\circ}\text{C}$, $T_j(\text{max}) = 150^{\circ}\text{C}$)

特性	代表符号	最大限定范围	单位
电源电压	VDD	-0.3 ~ 7.0	V
输入端电压	VIN	-0.3 ~ VDD+0.3	V
输出端电流	IOUT	30	mA
输出端耐受电压	VOUT	-0.3 ~ 15	V
资料时钟频率	FDCK	30	MHz
接地端电流	IGND	500	mA
热阻值 (On PCB)	Rth(j-a)	70.5 (SS:SSOP-150mil-0.635mm)	°C/W
		36.9 (QF/QA:QFN24-4mmx4mm)	
IC 工作时的电压		3.3 ~ 5.0 ($\pm 10\%$)	V
IC 工作时的环境温度	Top	-40 ~ 85	°C
IC 储存时的环境温度	Tstg	-55 ~ 150	°C

(1) 操作在这些规定值之上也许会造成元件永久的损伤。在绝对的最大条件之下延长操作期限也许会降低元件的可靠性。这些仅是部分的规定值，并且不支持在规格之外的其他条件的功能操作。

(2) 所有电压值是以接地端做为参考点。

直流特性 (VDD = 5.0 V, Ta = 25°C unless otherwise noted)

特性	代表符号	量测条件	最小值	一般值	最大值	单位
输入端电压 高电平水准	VIH	CMOS 逻辑水准	0.7VDD	—	VDD	V
输入端电压 低电平水准	VIL	CMOS 逻辑水准	GND	—	0.3VDD	
输出端漏电流	ILK	VOUT = 15 V	—	—	0.1	uA
输出电压 (DO)	VOL	IOL = 1 mA	—	—	0.4	V
	VOH	IOH = 1 mA	VDD-0.4	—	—	
电流偏移量 (通道间) ^{*1}	dIOUT1	VOUT = 1.0 V Rrxt = 9.3 KΩ	—	±1.5	±3.0	%
电流偏移量 (芯片间) ^{*2}	dIOUT2		—	±1.5	±3.0	%
电流偏移量 vs. 输出电压 ^{*3}	% / VOUT	Rrxt = 2.0 KΩ VOUT = 1 V ~ 3 V	—	±0.1	±0.5	% / V
电流偏移量 vs. 电源电压 ^{*4}	% / VDD	Rrxt = 2.0 KΩ VDD = 3 V ~ 5.5 V	—	±0.6	±1	
电压源输出电流 ^{*5}	I _{DD1(off)}	输入信号固定 Rrxt = 9.3 KΩ 所有输出关闭	—	2.7	4.0	mA
	I _{DD2(on)}	输入信号固定 Rrxt = 9.3 KΩ 所有输出打开	—	2.7	4.0	
	I _{DD3(off)}	输入信号固定 Rrxt = 2.0 KΩ 所有输出关闭	—	5.4	8.0	
	I _{DD4(on)}	输入信号固定 Rrxt = 2.0 KΩ 所有输出打开	—	5.4	8.0	

^{*1} 通道间电流偏移量的公式定义如下:

$$\Delta(\%) = \left[\frac{I_{out_n}}{(I_{out_0} + I_{out_1} + \dots + I_{out_{15}})} - 1 \right] * 100\%$$

^{*2} 芯片间电流偏移量的公式定义如下:

$$\Delta(\%) = \left[\left(\frac{I_{out_0} + I_{out_1} + \dots + I_{out_{15}}}{16} \right) - (Ideal\ Output\ Current) \right] * 100\%$$

^{*3} 输出电流对输出电压变化的偏移量公式定义如下:

$$\Delta(\%/V) = \left[\frac{I_{out_n}(@V_{out_n}=3V) - I_{out_n}(@V_{out_n}=1V)}{I_{out_n}(@V_{out_n}=3V)} \right] * \frac{100\%}{3V-1V}$$

^{*4} 输出电流对电源电压变化的偏移量公式定义如下:

$$\Delta(\%/V) = \left[\frac{I_{out_n}(@V_{DD}=5.5V) - I_{out_n}(@V_{DD}=3V)}{I_{out_n}(@V_{DD}=3V)} \right] * \frac{100\%}{5.5V-3V}$$

^{*5} 輸出入除外.

直流特性 (VDD = 3.3 V, Ta = 25°C unless otherwise noted)

特性	代表符号	量测条件	最小值	一般值	最大值	单位
输入端电压 高电平水准	VIH	CMOS 逻辑水准	0.7VDD	—	VDD	V
输入端电压 低电平水准	VIL	CMOS 逻辑水准	GND	—	0.3VDD	
输出端漏电流	ILK	VOUT = 15 V	—	—	0.1	uA
输出电压 (DO)	VOL	IOL = 1 mA	—	—	0.4	V
	VOH	IOH = 1 mA	VDD-0.4	—	—	
电流偏移量 (通道间) ^{*1}	dIOUT1	VOUT = 1.0 V Rrxt = 9.3 KΩ	—	±1.5	±3.0	%
电流偏移量 (芯片间) ^{*2}	dIOUT2		—	±1.5	±3.0	%
电流偏移量 vs. 输出电压 ^{*3}	% / VOUT	Rrxt = 2.0 KΩ VOUT = 1 V ~ 3 V	—	±0.1	±0.5	% / V
电流偏移量 vs. 电源电压 ^{*4}	% / VDD	Rrxt = 2.0 KΩ VDD = 3 V ~ 5.5 V	—	±0.6	±1	
电压源输出电流 ^{*5}	I _{DD2(off)}	输入信号固定 Rrxt = 9.3 KΩ 所有输出关闭	—	2.3	3.5	mA
	I _{DD3(on)}	输入信号固定 Rrxt = 9.3 KΩ 所有输出打开	—	2.3	3.5	
	I _{DD4(off)}	输入信号固定 Rrxt = 2.0 KΩ 所有输出关闭	—	5.0	7.5	
	I _{DD5(on)}	输入信号固定 Rrxt = 2.0 KΩ 所有输出打开	—	5.0	7.5	

^{*1} 通道间电流偏移量的公式定义如下:

$$\Delta(\%) = \left[\frac{I_{out_n}}{(I_{out_0} + I_{out_1} + \dots + I_{out_{15}})} - 1 \right] * 100\%$$

^{*2} 芯片间电流偏移量的公式定义如下:

$$\Delta(\%) = \left[\left(\frac{I_{out_0} + I_{out_1} + \dots + I_{out_{15}}}{16} \right) - (Ideal\ Output\ Current) \right] * 100\%$$

^{*3} 输出电流对输出电压变化的偏移量公式定义如下:

$$\Delta(\%/V) = \left[\frac{I_{out_n}(@V_{out_n} = 3V) - I_{out_n}(@V_{out_n} = 1V)}{I_{out_n}(@V_{out_n} = 3V)} \right] * \frac{100\%}{3V - 1V}$$

^{*4} 输出电流对电源电压变化的偏移量公式定义如下:

$$\Delta(\%/V) = \left[\frac{I_{out_n}(@V_{DD} = 5.5V) - I_{out_n}(@V_{DD} = 3V)}{I_{out_n}(@V_{DD} = 3V)} \right] * \frac{100\%}{5.5V - 3V}$$

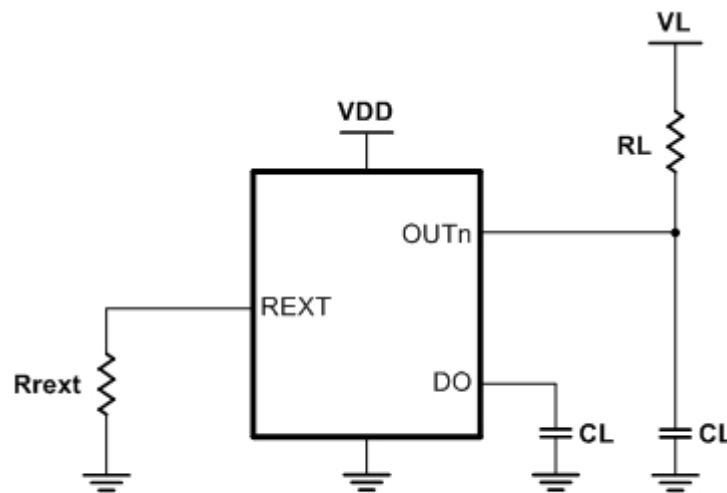
^{*5} 输出除外

动态特性 (VDD = 5.0V, Ta = 25°C unless otherwise noted)

特性		代表符号	量测条件	最小值	一般值	最大值	单位
延迟时间 (‘低’ to ‘高’)	PDM-to-VOUT	tpLH1	VIH = VDD VIL = GND R _{rext} = 2000 Ω VL = 5.0 V RL = 200 Ω CL = 13 pF	—	19	—	ns
	DCK-DO	tpLH3		—	19	—	
延迟时间 (‘高’ to ‘低’)	PDM-to-VOUT	tpHL1		—	24	—	
	DCK-DO	tpHL3		—	20	—	
脉波宽度	PDM	tw(PDM)		80	—	—	
	LAT	tw(LAT)		20	—	—	
	DCK	tw(DCK)		15	—	—	
建立时间	LAT	tsu(LAT)		5	—	—	
	DI	tsu(D)		3	—	—	
保持时间	LAT	th(LAT)		20	—	—	
	DI	th(D)		4	—	—	
DO 的爬升时间		tr(DO)		—	12	—	
DO 的下降时间		tf(DO)		—	12	—	
电压输出的爬升时间 (电流关闭)		tor		—	14	—	
电压输出的下降时间 (电流导通)		tof	—	13	—		
资料时钟频率		F _{DCK}	—	—	30	MHz	

动态特性 (VDD = 3.3V, Ta = 25°C unless otherwise noted)

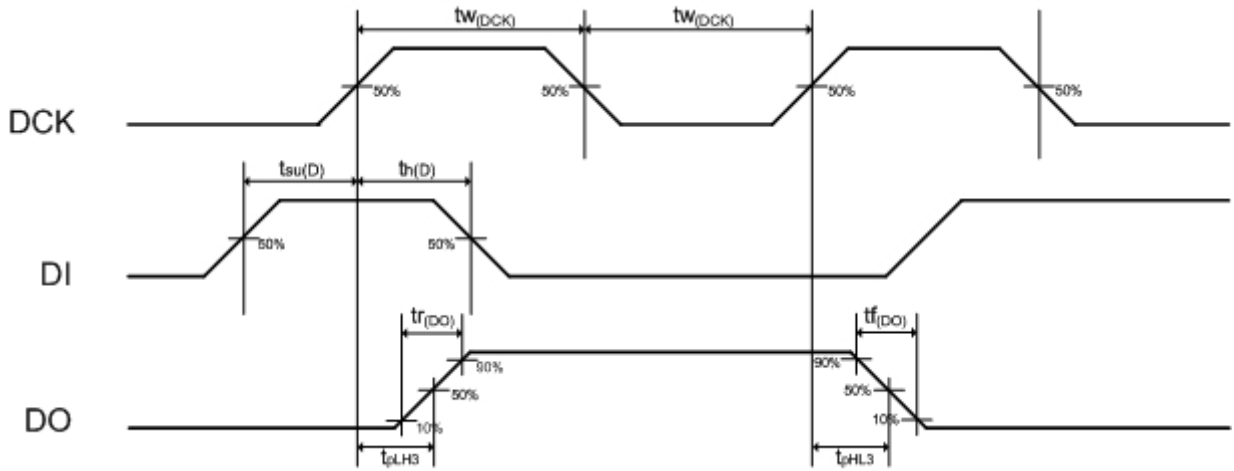
特性		代表符号	量测条件	最小值	一般值	最大值	单位	
延迟时间 (‘低’ to ‘高’)	PDM-to-VOUT	tpLH1	VIH = VDD VIL = GND R _{rext} = 2000 Ω VL = 5.0 V RL = 200 Ω CL = 13 pF	—	29	—	ns	
	DCK-to-DO	tpLH3		—	29	—		
延迟时间 (‘高’ to ‘低’)	PDM-to-VOUT	tpHL1		—	37	—		
	DCK-to-DO	tpHL3		—	29	—		
脉波宽度	PDM	t _{w(PDM)}		120	—	—		
	LAT	t _{w(LAT)}		20	—	—		
	DCK	t _{w(DCK)}		15	—	—		
建立时间	LAT	t _{su(LAT)}		5	—	—		
	DI	t _{su(D)}		3	—	—		
保持时间	LAT	t _{h(LAT)}		20	—	—		
	DI	t _{h(D)}		4	—	—		
DO 的爬升时间		t _{r(DO)}		—	19	—		
DO 的下降时间		t _{f(DO)}		—	19	—		
电压输出的爬升时间 (电流关闭)		t _{or}		—	22	—		
电压输出的下降时间 (电流导通)		t _{of}	—	24	—			
资料时钟频率		F _{DCK}	—	—	20	MHz		



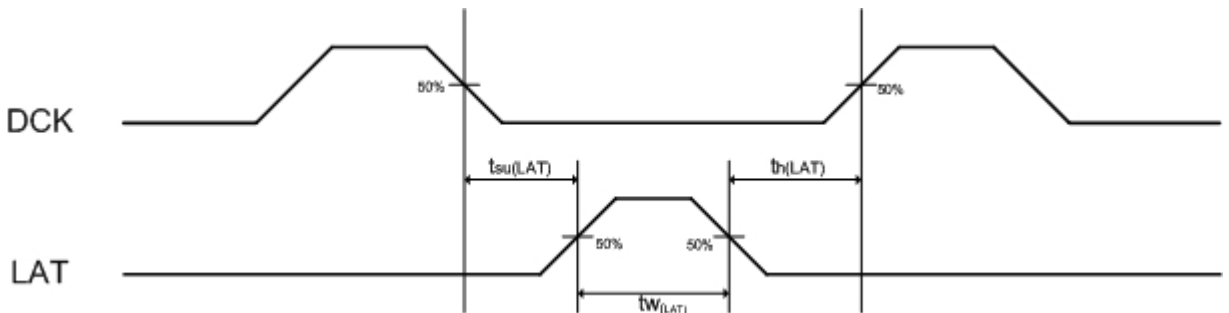
动态特性测试电路

时序图

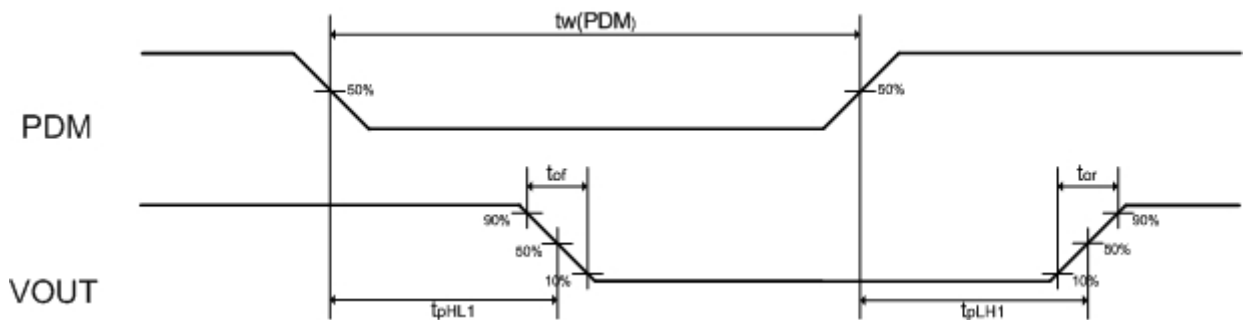
1. DCK-DI, DO



2. DCK-LAT



3. PDM-VOUT

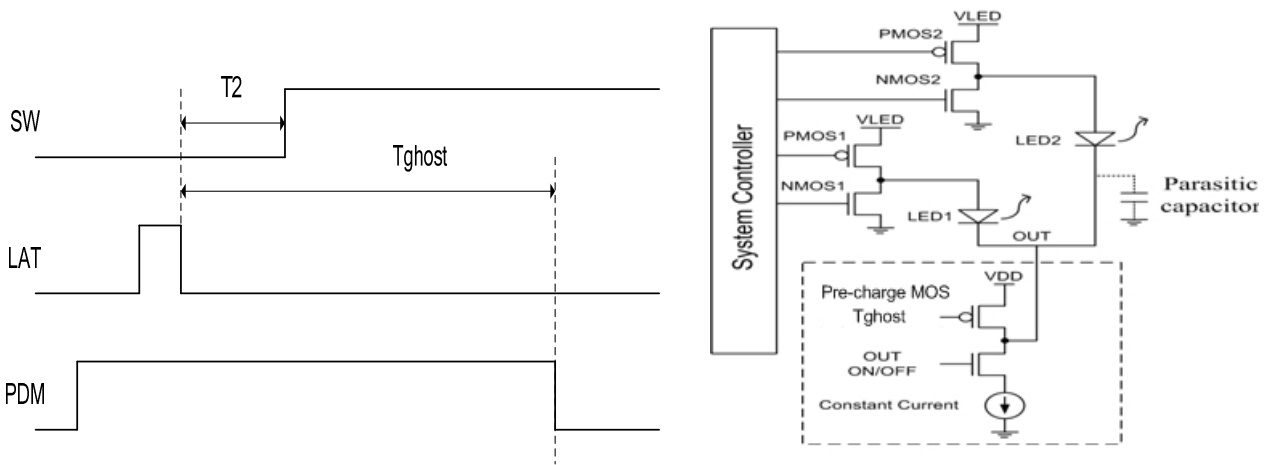


鬼影消除技术

MY9868B 内置下鬼影消除功能，搭配系统硬体电路则可以有效消除上行与下行鬼影，芯片消影时间(T_{ghost})之定义如下图所示，仅在栓锁讯号(LAT)下降沿到致能讯号(ENB)下降沿间拉高输出管脚的电压以进行消影，此设计可避免 LED 长时间逆偏压而损坏。

为达最佳的消影功能，相关时序设定如下：

1. 栓锁讯号(LAT)下降沿到 PDM 讯号下降沿之消影时间 T_{ghost} 建议大于 2000ns
2. 换行讯号 SW 切换沿需设定在栓锁讯号 LAT 下降沿到 PDM 讯号下降沿之间



双锁存显示技术

透过明阳半导体的双锁存显示专利技术，使 PDM 信号(OE)可跨过 LAT 锁存信号，可有效提高传统基本款芯片的 LED 利用率，优化显示屏在低灰阶下的显示效果及均一性；并且显示屏在相同亮度设计下，可以大幅降低驱动芯片的峰值电流，有效提升显示屏的 EMC 等级。

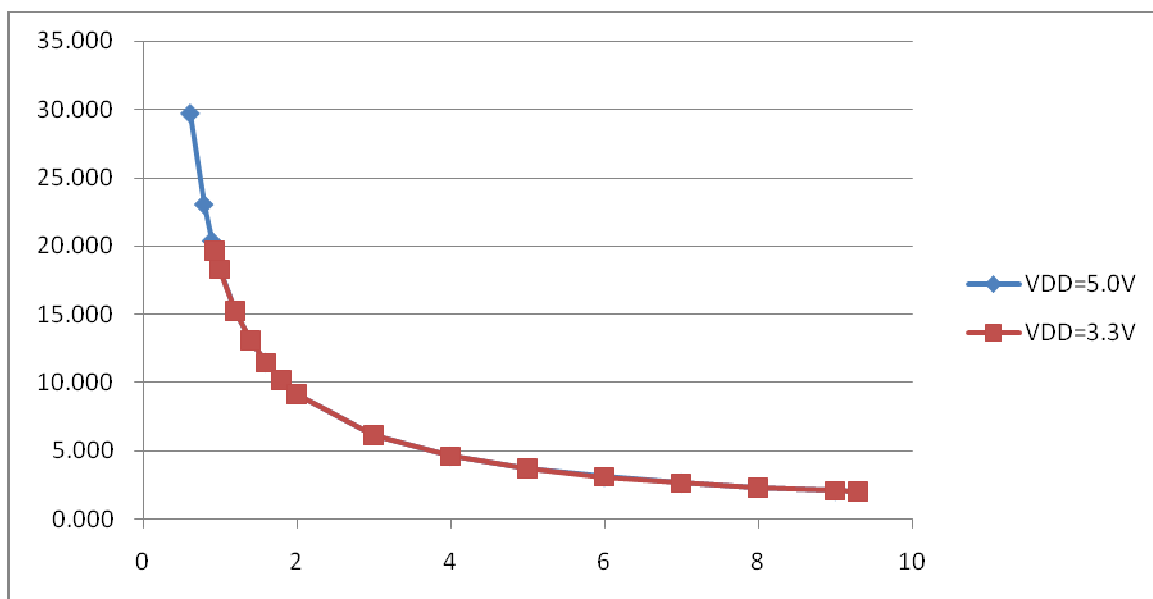
调整输出电流：

恒流的大小是被跨接于 REXT 和地的外接电阻所决定。电流值的大小可以用以下的公式做计算：

$$I_{out}(mA) = \frac{18.6}{R_{ext} (K\Omega)}$$

R_{ext} 是一跨接于 REXT 和 GND 之间的电阻。

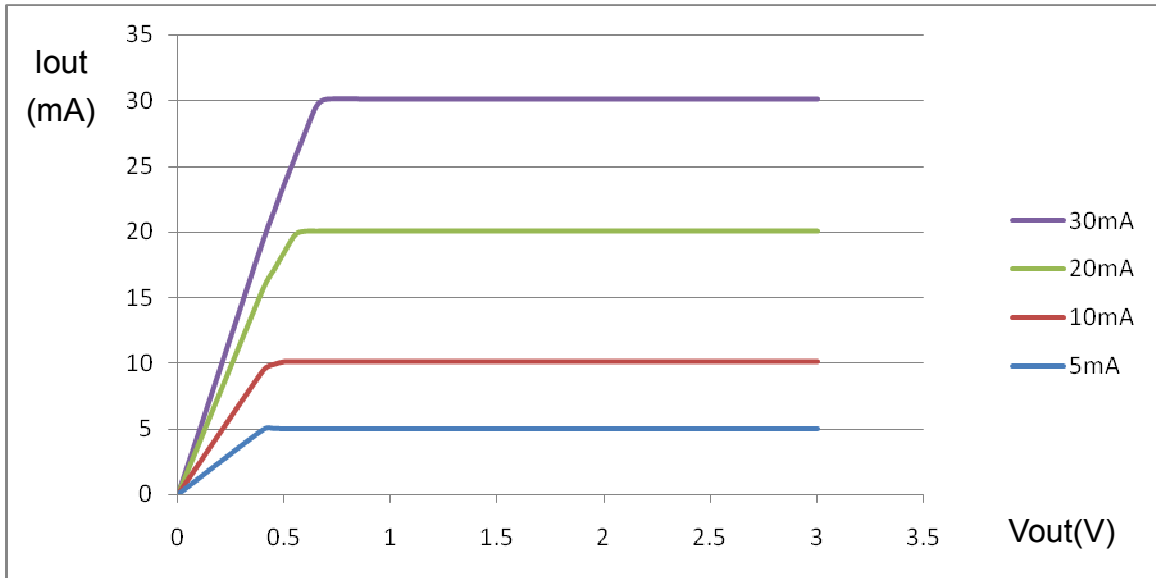
例如：I_{out} 是约 2mA 当 R_{ext}=9.3KΩ



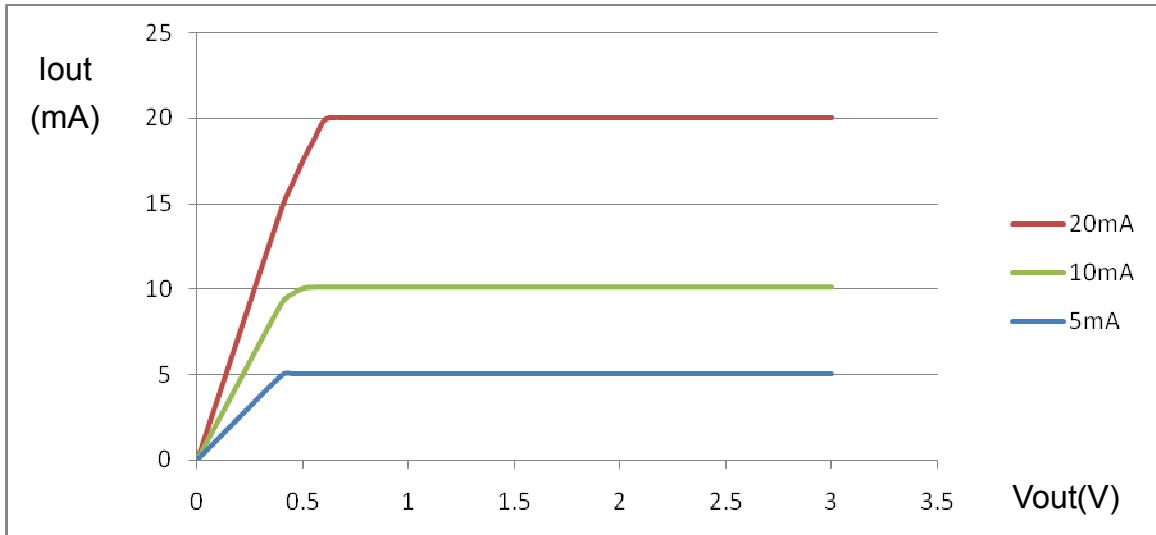
恒流输出特性：

穩態输出电流几乎不会受到输出电压的影响而有所变动,因此 MY9868B 在不同的 LED 顺向电压下仍能够提供精准的恆流输出,下图描述了如何设计适当的输出电压以达到最佳的恆流特性。

IV-Curve @ VDD=5V



IV-Curve @ VDD=3.3V



封装散热功率

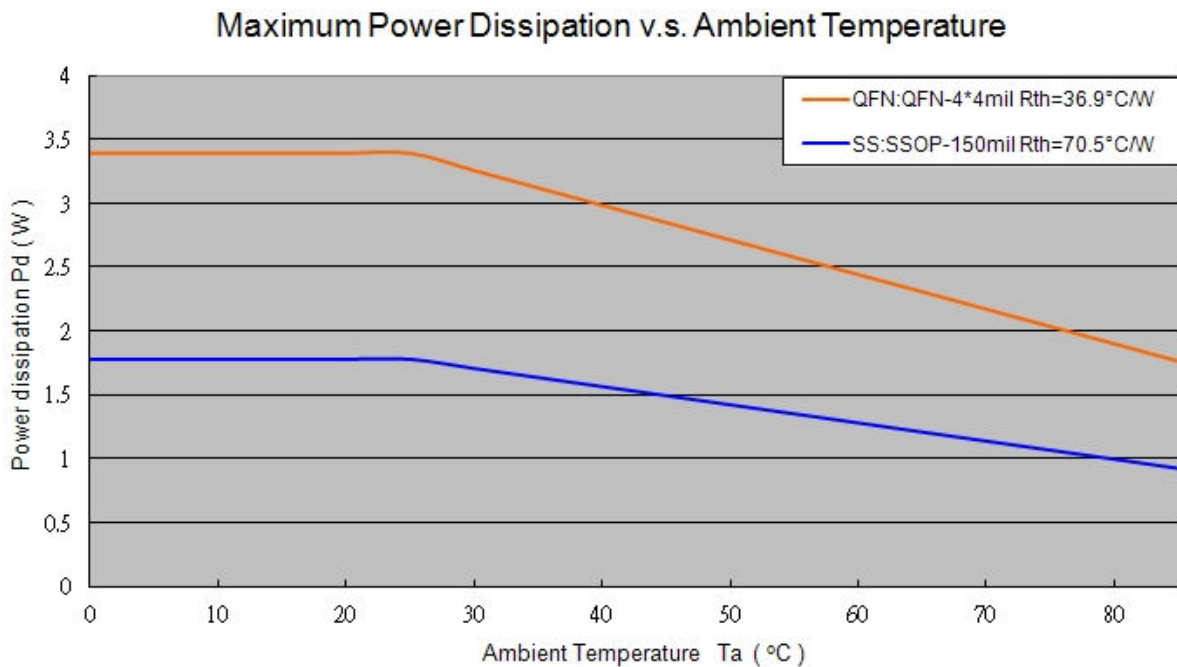
当 16 个输出被打开时，芯片的实际消耗功率是以下的公式决定：

$$PD(\text{practical}) = V_{DD} \times I_{DD} + V_{out(0)} \times I_{out(0)} \times \text{Duty}_{(0)} + \dots + V_{out(N)} \times I_{out(N)} \times \text{Duty}_{(N)}, \text{ where } N=1 \text{ to } 15$$

为了在安全的条件下操作，芯片的功率消耗必须小于最大容许功率，而这功率是由环境温度以及封装型式所决定，最大功率消耗的公式如下：

$$PD(\text{max}) = \frac{T_j(\text{max})(\text{C}) - T_a(\text{C})}{R_{th(j-a)}(\text{C/Watt})}$$

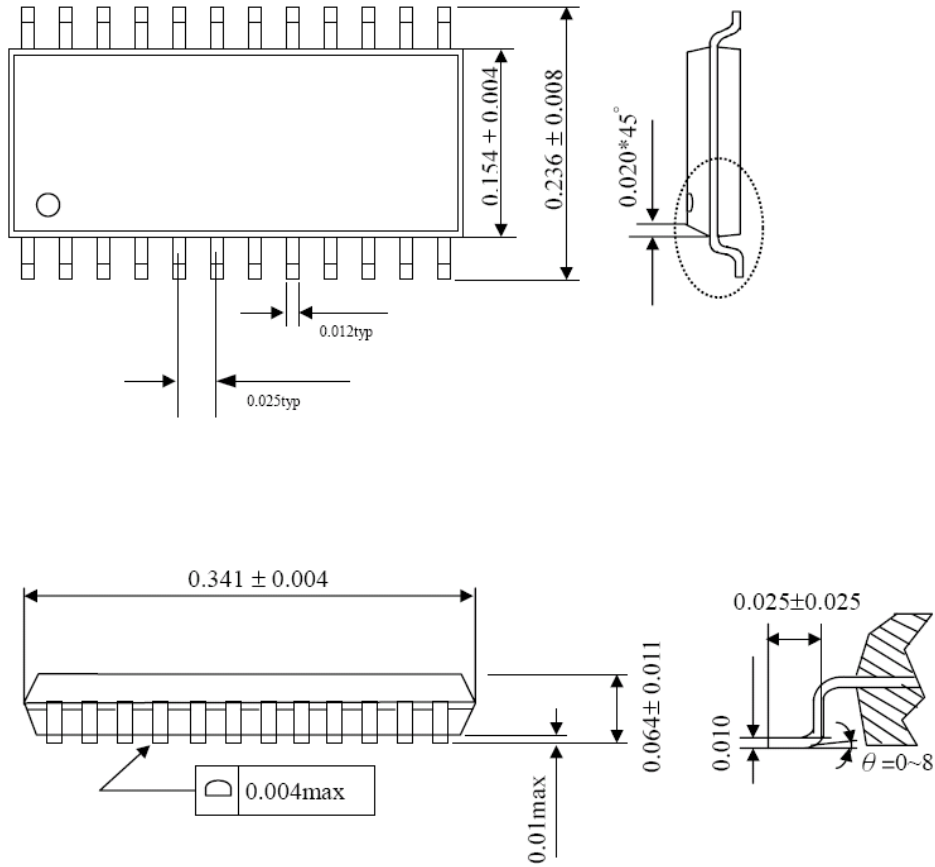
PD(最大值)会随着环境温度上升而下降，因此需要根据封装型式和环境温度小心的设计操作条件，下面的图表描述了不同封装在最大消耗功率和环境温度的关系：



封装示意图

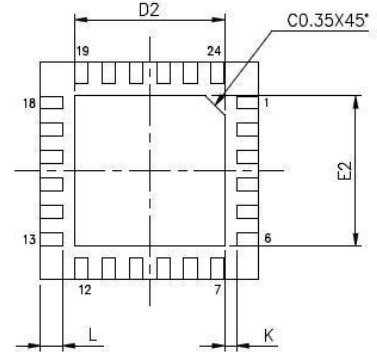
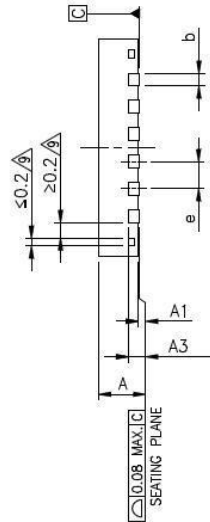
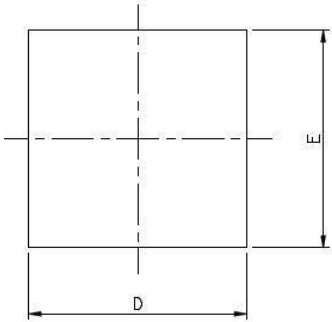
SSOP-150mil-0.635mm

单位: inch



封装示意图

QFN24-4mm x 4mm



JEDEC OUTLINE	MO-220		
PKG CODE	WQFN(X424)		
SYMBOLS	MIN.	NOM.	MAX.
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A3	0.20 REF.		
b	0.18	0.25	0.30
D	4.00 BSC		
E	4.00 BSC		
e	0.50 BSC		
K	0.20	-	-

NOTES :

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15mm AND 0.30mm FROM THE TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION b SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
3. BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

E2			D2			L			LEAD FINISH		JEDEC CODE
MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	Pure Tin	PPF	
2.40	2.50	2.55	2.40	2.50	2.55	0.35	0.40	0.45	V	X	

这里列出的产品是设计用于普通电子产品的应用，例如电器、可视化设备、通信产品等等。因此，建议这些产品不应该用于医疗设施、手术设备、航天器、核电控制系统、灾难/犯罪预防设备等类似的设备。这些产品的错误使用可能直接或间接导致威胁到人们的生命或者导致伤害或财产损失。

明阳半导体将不负任何因这些产品的错误使用而导致的责任。任何人若购买了这里所描述的任何产品，并含有上述意图或错误使用，应自负全责与赔偿。明阳半导体与它的通路商及所有管理者和员工必捍卫己方抵御所有索赔、诉讼，及所有因上述意图或操作而衍生的损坏、成本、及费用。